



**INTELLECTUAL PROPERTY OFFICE**  
MINISTRY OF ECONOMIC AFFAIRS - R. O. C.

Web Search

[About TIPO](#)
[Press Release](#)
[What's New](#)
[Laws & Regulations](#)
[How to](#)
[Statistics](#)
[Enforcement & Prosecution](#)
[International Harmonization](#)

## How to...

Procedures

Fees

TW Patent Search

### Patent

Patent No	432622	Publication Date	2001/5/1
Application No	088122678	Filing Date	1999/12/22
Title	Process for forming dual damascene structure		
IPC	H01L21/768		

### Author / Inventor

LIN, SEN-HUNG (TW) ; YE, TZE-AN (TW) ; LIN, YU-MIN (TW) ;

### Applicant

Name	Country	Individual/Company
APPLIED MATERIALS, INC.	US	Company

### Patent Abstract

A method for forming dual damascene structure on semiconductor substrate includes the following steps: firstly, forming a first dielectric on the semiconductor substrate; etching the first dielectric to form the first opening in the first dielectric and expose part of the upper surface of the semiconductor substrate; next, forming sacrificial layer on the first dielectric in which the sacrificial layer has a second opening as the trench pattern and the second opening is located above the first opening; then, forming the barrier layer on the sacrificial layer, the first dielectric and semiconductor substrate; and, forming a conductive layer on the barrier layer and filling into the first and the second openings; then, removing part of the conductive layer and part of the barrier layer above the sacrificial layer and removing the barrier layer; finally, forming the second dielectric over the first dielectric and the surface of the barrier.

Last Update : 2004/7/16

無牌  
A00

## 四、中文發明摘要(發明之名稱: )

## 形成雙重鑲嵌結構之製程

一種形成雙重鑲嵌結構於半導體底材上之方法。首先，形成第一介電層於半導體底材上。再蝕刻第一介電層，以形成第一開口於第一介電層中，且曝露出部份半導體底材上表面。接著，形成犧牲層於第一介電層上。其中此犧牲層具有作為溝渠圖案之第二開口，且該第二開口位於該第一開口上方。隨後，形成阻障層於犧牲層、第一介電層與半導體底材之上。並且，形成導電層於阻障層上，且填充至第一開口與第二開口之中。接著，移除位於犧牲層上方之部份導電層與部份阻障層，再移除阻障層。隨後，形成第二介電層於該第一介電層與該阻障層之表面上。

## 英文發明摘要(發明之名稱: )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( )

### 發明領域：

本發明與一種半導體製程中形成雙重鑲嵌結構(dual damascene)之方法有關，特別是一種形成雙重鑲嵌結構於低介電值介電層(low K dielectric)中之製程。

### 發明背景：

隨著半導體工業持續的進展，在超大型積體電路(ULSI)的開發與設計中，為了符合高密度積體電路之設計趨勢，各式元件之尺寸皆降至次微米以下。並且由於元件不斷的縮小，也導致在進行相關半導體製程時，往往遭遇了前所未有之難題，且製程之複雜程度亦不斷提高。一般而言，積體電路包括在晶圓上某特定區域中，形成數以百萬計的元件，以及用以連接這些元件的電子連結結構，以便能執行所需之特定功能。因此積體電路的性能，除了依靠所含元件之性能及可靠度外，更需要無數精密細微的金屬內連線，以便能有效傳遞元件間的電子訊號。特別是隨著積體電路尺寸持續的縮小，當前的積體電路設計，已朝著多重金屬內連線發展。

然而，在多重金屬內連線的相關製程中，由於受制於微影解析度的限制、曝光聚焦(Focus)的誤差、影像傳遞的精確度與解析度(Resolution)與可使用空間的縮小，導致雙重

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

鑲嵌製程(dual damascene process)技術受到廣泛的發展與運用，並藉以製造多重金屬內連線。如同熟悉該項技術者所熟知的，雙重鑲嵌結構的製程，可同步形成半導體底材上之溝渠連線與連接至底材之導電插塞。如此一來，除了有效提昇積體電路連線技術外，更大幅提昇了積體電路之可靠度與良率。因此雙重鑲嵌結構，被大量的應用於大型積體電路內連線之製程中。

請參照第一圖至第四圖，其中顯示了傳統製程中，形成雙重鑲嵌結構於半導體底材上之方法。如第一圖所示，首先可在半導體底材 10 之上，依序形成第一介電層 12、氮化矽層 14、第二介電層 16 與抗反射介電層(Dielectric Anti-Reflective layer; DARC) 18。接著，可在抗反射介電層 18 上，形成光阻層 20。其中，此光阻層 20 上具有用來定義介電層間內連線(via)之圖案。

接著，如第二圖所示，如對上述所形成之抗反射介電層 18、第二介電層 16、氮化矽層 14 與第一介電層 12 進行蝕刻程序，以形成開口 22，且曝露出半導體底材 10 之上表面。然後，在移除光阻層 20 後，再於抗反射介電層 18 上，形成光阻層 24，此光阻層 24 乃用以定義溝渠圖案於半導體底材 10 上。再使用光阻層 24 作為蝕刻罩幕，對抗反射介電層 18 與第二介電層 16 進行蝕刻程序後，可定義出所需的溝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

渠圖案。

請參見第三圖，在定義溝渠圖案於半導體底材 10 上之後，接著形成一阻障層(barrier layer)26 於抗反射介電層 18、第二介電層 16、氮化矽層 14、第一介電層 12 與半導體底材 10 之表面上。隨後，再形成導電層 28 於阻障層 26 之上表面，且填充至上述開口 22 與溝渠中。接著，使用化學機械研磨法(CMP)，對半導體底材 10 進行研磨程序，直至抵達第二介電層 16 為止。如此，可以得到如第四圖中所顯示之雙重鑲嵌結構。其中，此雙重鑲嵌結構 31 包括了位於第一介電層 12 中之導電插塞 30，以及位於第二介電層 16 中之溝渠內連線 32。

值得注意的是如同前述，由於高密度積體電路中所需之各式元件，其尺寸皆在次微米以下，是以為了更有效的防止積體電路良率與可靠度下降。在製作上述第一介電層 12 與第二介電層 16 時，往往採用具有較低介電值(low K)之材料，以便減少所形成元件之 RC 延遲，並提高元件之操作速度。但是在使用此種材料在形成所需介電層時，亦遭遇諸多問題。其中，由於所使用低介電值介電層，其主要構成材料包括碳原子(carbon base)，是以在使用光阻層(20 與 24)來作為蝕刻罩幕，以定義圖案於介電層(12 與 16)時，其蝕刻選擇性並不佳。亦即，會導致進行蝕刻程序時，需形成更厚的

## 五、發明說明( )

光阻層，來防止蝕刻穿透(etch through)的情況發生；此外，也會導致定義於介電層上之圖案，具有精確度較低的維度。由此，而導致需耗費更多的時間與成本。

為了解決蝕刻選擇性不佳的問題，往往藉著通入氧氣而提昇介電層之蝕刻選擇性。但是，由於低介電值介電層材料，具有大量的碳原子，是以在蝕刻程序進行中通入氧氣，往往會產生更多的高分子附著物。請參照第五圖，該圖所顯示，為在使用光阻層 20 來定義開口 22 於半導體底材 10 上時，所產生之高分子附著物 34。在定義開口 22 時，需先後蝕刻第二介電層 16 與第一介電層 12，是以將產生更多的高分子附著物 34，附著在開口 22 之側壁與半導體底材 10 之上表面。嚴重者，甚至可能導致開口 22 無法有效的曝露出半導體底材 10，而使後續製造之插塞無法有效的進行電性傳導。

另外，值得注意的是，在定義開口圖案 22 與溝渠圖案於介電層(12 與 16)上時所使用之乾式蝕刻術，與在移除光阻層(20 與 24)時所進行的濕式清洗程序，往往會造成介電層持續的曝露於充滿侵蝕性氣體、溶液的環境中，是以經常會導致所定義開口圖案與溝渠圖案之側壁，產生如第六圖中所示之回侵蝕(erosion back)36、38。除了造成所定義圖案維度的不精確外，並造成開口與溝渠形狀(profile)的改

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 公告本



申請日期	88. 12. 22
案 號	88.122678
類 別	H01L 21/069

A4  
C4

432622

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中 文	形成雙重鑲嵌結構之製程
	英 文	
二、發明人	姓 名	一、林森弘 二、葉澤安 三、林育民
	國 籍	一、中華民國 二、中華民國 三、中華民國
	住 居所	一、新竹市科學工業園區研發二路 32 號 二、新竹市科學工業園區研發二路 32 號 三、高雄市左營區裕誠路 398 號 10 樓之 1
三、申請人	姓 名 (名稱)	美商應用材料股份有限公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖大克勞拉市波爾斯大道 3050 號
	代 表 人 姓 名	瓊西 J. 史維尼

經濟部智慧財產局員工消費合作社印製

裝

訂

線

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**